

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08305316 A**

(43) Date of publication of application: **22.11.96**

(51) Int. Cl

G09G 3/20

G02F 1/133

G09G 3/36

(21) Application number: **07114862**

(22) Date of filing: **12.05.95**

(71) Applicant: **SHARP CORP**

(72) Inventor: **SUGIMURA TOSHIHIKO
MATSUURA MANABU
YONEDA YUTAKA**

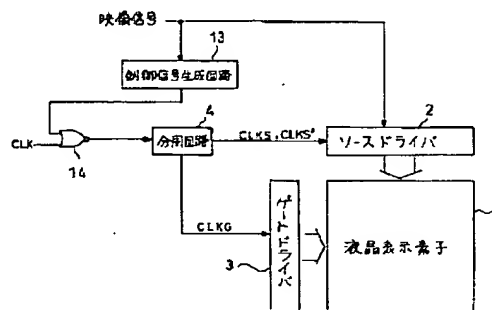
(54) **IMAGE DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To reduce drastically power consumption in the whole device by stopping operation of a source driver in vertical and horizontal blanking intervals of a video signal.

CONSTITUTION: This device is provided with the source driver 2 driving a liquid crystal display element 1 having display pixels arranged in matrix, a frequency division circuit 4 generating a timing signal driving the source driver 2 by an input of a clock signal, a control signal generation circuit 13 outputting a control signal to a clock signal selection circuit 14 synchronizing with the blanking intervals when the vertical and horizontal blanking intervals of the video signal are detected and the clock signal selection circuit 14 stopping the clock signal supplied to the frequency division circuit 4 by the input of the control signal from the control signal generation circuit 13.

COPYRIGHT: (C)1996,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-305316

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	V
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願平7-114862

(22) 出願日 平成 7 年 (1995) 5 月 12 日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 杉村 俊彦

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 松浦 学

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 米田 裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

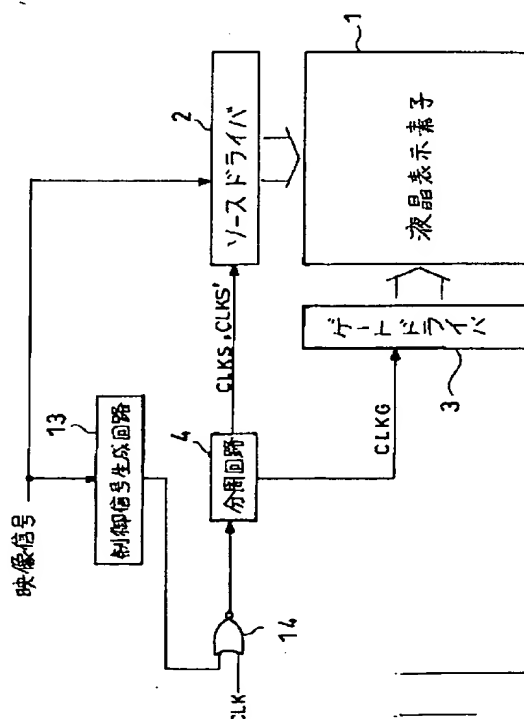
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【構成】 マトリクス状に配された表示画素を有する液晶表示素子 1 を駆動するソースドライバ 2 と、クロック信号の入力によってソースドライバ 2 を駆動するタイミング信号を生成する分周回路 4 と、映像信号の垂直および水平ブランキング期間が検知されるとクロック信号選択回路 1 4 に制御振動を同期して制御信号を出力する制御信号生成回路 1 3 と、制御信号生成回路 1 3 からの制御信号の入力によって、上記分周回路 4 に供給するクロック信号を停止させるクロック信号選択回路 1 4 とが設けられている。

【効果】 映像信号の垂直および水平ブランキング期間におけるソースドライバ 2 の動作を停止させることができ、この結果、装置全体における消費電力を大幅に削減することができる。



【特許請求の範囲】

【請求項 1】マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって上記画像表示素子に接続されたデータ信号線を駆動する駆動回路とがモノリシックに形成された画像表示装置において、

映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、

上記制御信号出力手段からの制御信号の入力によって、上記駆動回路に供給するクロック信号を停止させるクロック停止手段とが設けられていることを特徴とする画像表示装置。

【請求項 2】上記駆動回路は、クロック信号の入力によって、映像信号から得られるデータ信号を画像表示素子に接続されたデータ信号線に供給する多相のシフトレジスタを備えると共に、上記クロック停止手段は、上記駆動回路の各シフトレジスタへ供給するクロック信号を、位相の早い順に停止させることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】上記クロック停止手段は、上記制御信号の入力によってクロック信号を、上記シフトレジスタの電源電圧と同電位、あるいはシフトレジスタを構成するトランジスタの閾値電圧分だけ上記電源電圧から変位した電位に変換することを特徴とする請求項 2 記載の画像表示装置。

【請求項 4】マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって画像表示素子に接続されたデータ信号線をアナログバッファ回路を介して駆動する駆動回路とがモノリシックに形成された画像表示装置において、

映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、

上記制御信号出力手段からの制御信号の入力によって、上記アナログバッファ回路のバッファ動作を停止させるバッファ停止手段とが設けられていることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マトリクス状に配置された表示画素を有する画像表示素子を備えた画像表示装置に関し、特に駆動回路と画像表示素子とがモノリシックに形成された画像表示装置に関するものである。

【0002】

【従来の技術】従来より、画像表示装置として、例えばアクティブマトリクス型液晶表示装置は、図 11 に示すように、液晶表示素子 101 と、液晶表示素子 101 を駆動するソースドライバ 102 およびゲートドライバ 103 と、クロック信号 CLK を分周してタイミング信号

CLKS・CLKG を生成する分周回路 104 とから構成されている。

【0003】上記ソースドライバ 102 は、例えば図 13 に示すように、シフトレジスタ 105、映像信号線 106、サンプリングスイッチ 107…、サンプリングコンデンサ 108…、トランスファ信号線 109、トランスファスイッチ 110…、バッファ回路 111…を備えている。尚、上記ソースドライバ 102 は、線順次走査によって動作するものとする。

10 【0004】即ち、ソースドライバ 102 では、タイミング信号 CLKS とスタートパルス SPS とがシフトレジスタ 105 に入力されると、タイミング信号 CLKS に同期してシフトレジスタ 105 はサンプリングパルスを順次発生する。

【0005】サンプリングパルスがトランジスタからなるサンプリングスイッチ 107 のゲート端子に入力されると、このサンプリングスイッチ 107 のソース端子に接続された映像信号線 106 から供給される映像信号がサンプリングされる。そして、液晶表示素子 101 での表示画面の横方向に当たる水平走査期間で上記動作が順次行われることで、水平映像信号が順次サンプリングコンデンサ 108…に蓄えられる。

【0006】その後、トランスファ信号線 109 から供給されるトランスファ信号が、次段のトランジスタからなるトランスファスイッチ 110 の全てのゲート端子に入力されると、このタイミングで上記サンプリングコンデンサ 108…に蓄えられた映像信号のサンプリングデータが一斉に次段のバッファ回路 111…にそれぞれ出力される。このようにサンプリングデータは、ソースバスライン信号としてバッファ回路 111 を介して液晶表示素子 101 に接続されたソースバスライン 112 に供給される。

【0007】上記バッファ回路 111 は、例えば図 12 に示すように、初段の NMOS 線形回路 113 と、次段の PMOS 線形回路 114 とで構成されている。

【0008】上記 NMOS 線形回路 113 は、高電位電源 Vdd と低電位電源 Vss との間に直列に接続された 2 個の n-チャネル MOS (Metal Oxide Semiconductor) トランジスタ (以下、NMOS トランジスタと称する) Tr1・Tr2 から構成されている。上記 NMOS トランジスタ Tr1 のゲート電極にはトランスファスイッチ 110 から出力された映像信号 Vin が入力され、上記 NMOS トランジスタ Tr2 のゲート電極にはバイアス電圧 VBN が印加されるようになっている。また、上記両トランジスタの接続点には、次段の PMOS 線形回路 114 の出力ノード Vo が接続されている。

【0009】また、上記 PMOS 線形回路 114 は、高電位電源 Vdd と低電位電源 Vss との間に直列に接続された 2 個の p-チャネル MOS トランジスタ (以下、PMOS トランジスタと称する) Tr3・Tr4 から構

成されている。上記PMOSトランジスタTr4のゲート電極には前段のNMOS線形回路113の出力ノードVoが接続されると共に、PMOSトランジスタTr3のゲート電極にはバイアス電圧VBPが印加されるようになっている。そして、上記PMOS線形回路114の両トランジスタの接続点には、バッファ回路111の出力端子Voutに接続され、PMOS線形回路114からの出力がソースバスライン112を介して液晶表示素子101に供給されるようになっている。

【0010】したがって、ソースドライバ102に上記のようなバッファ回路111を使用すれば、ソースバスライン112の付加容量および寄生容量等が大きくなっても画素に映像信号を書き込むことが可能となる。よって、上記のような線順次走査では、特に上記のようなバッファ回路111が必要とされる。尚、バッファ回路111は、上記構成のみならず、例えば所謂演算増幅器(OPアンプ)で構成されたものもある。

【0011】また、上記構成では、ソースドライバ102、ゲートドライバ103を駆動するために、タイミング信号CLKS、タイミング信号CLKGを供給する必要がある。

【0012】ところが、一般に、映像信号の1水平走査期間には、映像情報を含む映像信号を出力している水平映像信号出力期間と、この水平映像信号の同期をとるための水平同期信号を含む水平ブランキング期間とが存在する。

【0013】一方、1垂直走査期間にも、最終段の水平映像信号出力後から次の垂直走査期間の初段の水平映像信号が入力されるまでの期間に、垂直同期信号を含む垂直ブランキング期間が存在する。

【0014】したがって、従来の構成では、上記した水平ブランキング期間、垂直ブランキング期間にも、クロック信号CLKの発生出力回路およびクロック信号CLKの分周回路104は動作していた。

【0015】また、上記垂直および水平ブランキング期間は各信号に映像情報が含まれていない期間であるが、クロック信号CLKを分周して得られるタイミング信号CLKS・CLKGは、この期間にも動作していた。したがって、不要なタイミング信号の出力動作のために、駆動回路において無駄な消費電力を増大させている。

【0016】そこで、例えば特開平3-56992号公報には、シフト動作により走査線選択信号を順次形成するシフトレジスタと、起動信号に従い上記シフトレジスタに対して初期値の設定と内部のシフトクロックパルスの供給を開始すると共に、上記シフトレジスタの最終段からのキャリア出力を受けて上記シフトクロックパルスの供給を停止する制御回路とを含む液晶駆動回路が開示されている。

【0017】上記公報によれば、シフトレジスタの最終段からキャリア信号を送出してから起動信号が入力され

るまでの期間、シフトクロックパルスの供給が停止されてシフトレジスタがシフト動作を停止するので、シフトレジスタのシフト動作に係る消費電力を低減することができる。

【0018】

【発明が解決しようとする課題】ところで、従来のアクティブマトリクス型液晶表示装置では、画素トランジスタSWの基板材料として、透明基板上に形成された非晶質シリコン薄膜が用いられ、ソースドライバ102やゲートドライバ103はそれぞれ外付けICで構成されてきた。

【0019】これに対して、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等の要求から、多結晶シリコン薄膜上にモノリシックに画素アレイと駆動回路とを形成する方法が提案されている。さらに、より大画面化および低コスト化を図るためにガラスの歪み点(約600℃)以下のプロセス温度で、素子をガラス基板上的多結晶シリコン薄膜上に形成する方法も試みられている。

【0020】しかしながら、このように多結晶シリコン薄膜上にモノリシックに形成された駆動回路は、単結晶Si基板上に形成された駆動回路よりも、信号配線が長くなるので、配線抵抗や配線容量が増大し、配線抵抗の増大による電圧降下、配線容量の充放電による電力の消費が無視できなくなっている。特に、上記信号配線のうちクロック信号を供給するクロック信号線の電力の消費が大きく、また、駆動回路における電力消費は、ゲートドライバよりも駆動周波数が2桁以上高いソースドライバが大部分を担っている。

【0021】また、前記したソースドライバ102のバッファ回路111は、定電流源として動作するため、トランジスタのアクティブエリアに伴いソースドライバ102内において消費する電力の割合が大きくなっている。

【0022】さらに、上記の特開平3-56992号公報に開示されている「液晶駆動回路」では、走査線を駆動するゲートドライバにおける消費電力の低減を図る点に限られ、多結晶シリコン薄膜上にモノリシックに形成された駆動回路での消費電力の低減については考慮されていないので、画像表示装置における消費電力の低減を図るには不十分であった。

【0023】本発明は、上記各問題点に鑑みなされたものであって、その目的は、特に、多結晶シリコン薄膜上にモノリシックに画素アレイと駆動回路とを形成した画像表示装置のような駆動回路での消費電力の大きい画像表示装置において、映像信号に含まれる垂直および水平ブランキング期間に同期して、駆動回路への信号の供給、或いはデータ信号線への信号の供給を停止することによって、駆動回路における消費電力を大幅に削減し得る画像表示装置を提供することにある。

【0024】

【課題を解決するための手段】請求項1の画像表示装置は、マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって上記画像表示素子に接続されたデータ信号線を駆動する駆動回路とがモノリシックに形成された画像表示装置において、映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、上記制御信号出力手段からの制御信号の入力によって、上記駆動回路に供給するクロック信号を停止させるクロック停止手段とが設けられていることを特徴としている。

【0025】請求項2の画像表示装置は、請求項1記載の画像表示装置において、駆動回路は、クロック信号の入力によって、映像信号から得られるデータ信号を画像表示素子に接続されたデータ信号線に供給する多相のシフトレジスタを備えると共に、上記クロック停止手段は、上記駆動回路の各シフトレジスタへ供給するクロック信号を、位相の早い順に停止させることを特徴としている。

【0026】請求項3の画像表示装置は、請求項2記載の画像表示装置において、クロック停止手段は、上記制御信号の入力によってクロック信号を、上記シフトレジスタの電源電圧と同電位、あるいはシフトレジスタを構成するトランジスタの閾値電圧分だけ上記電源電圧から変位した電位に変換することを特徴としている。

【0027】請求項4の画像表示装置は、マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって画像表示素子に接続されたデータ信号線をアナログバッファ回路を介して駆動する駆動回路とがモノリシックに形成された画像表示装置において、映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、上記制御信号出力手段からの制御信号の入力によって、上記アナログバッファ回路のバッファ動作を停止させるバッファ停止手段とが設けられていることを特徴としている。

【0028】

【作用】請求項1の構成によれば、映像信号の垂直および水平ブランキング期間に同期して、クロック停止手段により、駆動回路へのクロック信号の供給が停止されるので、垂直および水平ブランキング期間に、画像表示素子を点灯した状態で、クロック信号による不要な消費電力を低減することができる。これにより、画像表示素子と駆動回路とがモノリシックに形成された画像表示装置のような駆動回路での消費電力の大きい画像表示装置において、駆動回路での消費電力を大幅に削減することができる。

【0029】請求項2の構成によれば、請求項1の作用に加えて、上記クロック停止手段により、駆動回路の多

相のシフトレジスタへ供給するクロック信号を、位相の早い順に停止させるようになっているので、従来のように多相のシフトレジスタの最終段からの信号に基づいてクロック信号の出力を停止させる場合に比べて、駆動回路へのクロック信号の供給停止を無駄無く、しかも迅速に行うことができる。これにより、さらに、クロック信号による不要な消費電力を低減することができるので、画像表示装置における、駆動回路での消費電力を大幅に削減することができる。

10 【0030】請求項3の構成によれば、請求項2の作用に加えて、クロック停止手段が、制御信号の入力によってクロック信号を、上記シフトレジスタの電源電圧と同電位、あるいはシフトレジスタを構成するトランジスタの閾値電圧分だけ上記電源電圧から変位した電位に変換することで、変換後のクロック信号によってシフトレジスタをOFFすることができる。これにより、制御信号によって変換されたクロック信号によってシフトレジスタを確実にON・OFFすることができるので、シフトレジスタでのクロック信号によるシフト動作を確実に停止でき、この結果、シフト動作による不要な消費電力を無くすことができる。

20 【0031】請求項4の構成によれば、クロック停止手段により、映像信号の垂直および水平ブランキング期間に同期して、アナログバッファ回路のバッファ動作が停止されるので、垂直および水平ブランキング期間に、画像表示素子を点灯した状態で、クロック信号による不要な消費電力を低減することができる。これにより、画像表示装置における、駆動回路での消費電力を大幅に削減することができる。

30 【0032】

【実施例】

〔実施例1〕本発明の一実施例について図1ないし図8に基づいて説明すれば、以下の通りである。尚、本実施例では、画像表示装置としてアクティブマトリクス型液晶表示装置について説明し、以下の実施例についても同様とする。

【0033】本実施例に係る液晶表示装置は、図1に示すように、液晶表示素子（画像表示素子）1と、液晶表示素子1を駆動する駆動回路としてのソースドライバ2およびゲートドライバ3と、クロック信号CLKをタイミング信号CLKS・CLKS'・CLKGに分周する分周回路4とを備えている。尚、上記液晶表示装置では、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等を図るため、上記液晶表示素子1と駆動回路としてのソースドライバ2およびゲートドライバ3とが、多結晶シリコン薄膜上にモノリシックに形成されたものとなっている。

【0034】液晶表示素子1は、図示しないが、例えばマトリクス状に配置された画素を能動素子（アクティブ素子）等のスイッチング素子により駆動するアクティブ

マトリクス型の液晶ディスプレイからなっている。

【0035】能動素子としては、例えば薄膜トランジスタ (Thin Film Transistor: TFT) やMIM (Metal Insulator Metal) 素子等が使用されており、ソースドライバ2からのデータ信号とゲートドライバ3からの走査信号とによって駆動される。

【0036】ソースドライバ2には、タイミング信号CLKS・CLKS' および映像信号が入力されるようになっており、また、ゲートドライバ3には、タイミング信号CLKGが入力されるようになっており、
10 ソースドライバ2は、入力されたタイミング信号CLKS・CLKS' に応じて映像信号をサンプリングし、サンプリングした映像信号を液晶表示素子1に出力する。また、ゲートドライバ3は、入力されたタイミング信号CLKGに応じて走査信号を液晶表示素子1に出力するようになっている。

【0037】ソースドライバ2としては、例えば図2に示すように、2相のシフトレジスタ5、映像信号線6、サンプリングスイッチ7…、サンプリングコンデンサ8…、トランスファ信号線9、トランスファスイッチ10…、バッファ回路11…を備え、所謂ドライバサンプル
20 ホールド式のソースドライバがある。上記サンプリングスイッチ7、サンプリングコンデンサ8、トランスファスイッチ10およびバッファ回路11は、シフトレジスタ5の各相からそれぞれ出力されるサンプリングパルスによって動作するものとする。

【0038】上記シフトレジスタ5は、例えばTFTからなるインバータ (クロックインバータ) によって構成されており、一方の相にタイミング信号CLKSとスタートパルスSPSが入力されると共に、他方の相にタイ
30 ミング信号CLKS' とスタートパルスSPS' が入力されるようになっており、シフトレジスタ5は、スタートパルスSPS・SPS' と共にタイミング信号CLKS・CLKS' が入力されるとサンプリングパルスを、ソース電極が映像信号線6に接続されたTFT等のトランジスタからなるサンプリングスイッチ7のゲート電極に出力するようになっている。このサンプリングパルスによって、サンプリングスイッチ7…が順次ONされると、映像信号線6から供給された映像信号は、サンプリングスイッチ7…のドレイン電極に接続され
40 たサンプリングコンデンサ8…に順次蓄積される。

【0039】サンプリングコンデンサ8…は、それぞれトランスファスイッチ10…のソース電極に接続されており、トランスファスイッチ10…のゲート電極には、トランスファ信号線9が接続されている。つまり、サン
プリングコンデンサ8に蓄積された映像信号は、トランスファ信号線9から供給されるトランスファ信号によってトランスファスイッチ10…がONされると、トランス
50 ファスイッチ10…のそれぞれのドレイン電極に接続されたバッファ回路11…を介してソースバスライン1

2…に供給され、さらに、ソースバスライン12…から液晶表示素子1に供給されるようになっている。

【0040】尚、本実施例では、ソースドライバ側で映像信号を保持するドライバサンプルホールド方式のソースドライバを採用しているが、これに限定されるものではなく、例えば液晶表示素子側で映像信号を保持するパネルサンプルホールド方式のソースドライバを採用しても良い。

【0041】また、ゲートドライバ3においても、ソースドライバ2と同様に図示しないシフトレジスタが設けられており、図1に示すように、分周回路4から供給されるタイミング信号CLKGに応じて、表示画素を選択する走査信号を液晶表示素子1に出力するようになっている。

【0042】分周回路4は、後述するクロック信号選択回路14から選択的に出力されたクロック信号CLKを、多段で分周してソースドライバ2に供給するタイミング信号CLKS・CLKS' とゲートドライバ3に供給するタイミング信号CLKGとを生成するようになっている。上記分周動作には、マルチバイブレータ方式や
ブロッキング発振方式等がある。

【0043】また、映像信号は、上記ソースドライバ2に入力されると共に、制御信号生成回路 (制御信号出力手段) 13に入力され、映像信号中に含まれる垂直および水平ブランキング期間が検知される。制御信号生成回路13は、垂直および水平ブランキング期間を検知し、制御信号をクロック信号選択回路 (クロック停止手段) 14に出力するようになっている。

【0044】即ち、御信号生成回路13は、映像信号が入力され、この入力された映像信号に含まれる期間、例えば図3に示すように、映像情報を含む水平映像信号期間Aと、映像信号の同期を図るための水平同期信号を含む水平ブランキング期間Bとを検知して制御信号をクロック信号選択回路14に出力するようになっている。
30

【0045】制御信号生成回路13は、制御信号としては2値の制御信号を出力することでクロック信号選択回路14を制御するようになっている。即ち、制御信号生成回路13は、映像信号の水平映像信号期間Aを検知すれば、“Lo”レベルの制御信号を出力し、映像信号の水平ブランキング期間Bを検知すれば、“Hi”レベルの制御信号を出力するようになっている。
40

【0046】クロック信号選択回路14は、図1に示すように、論理回路としてのNOR回路からなり、上記制御信号生成回路13から出力される2値の制御信号によってクロック信号CLKを選択的に出力するようになっている。

【0047】つまり、クロック信号選択回路14では、入力される制御信号が“Hi”レベルのとき、出力を“Lo”レベルにしてクロック信号CLKの入力が無効とし、これによって、分周回路4のクロック信号CLK
50

の入力側には上記“Lo”レベルの信号が入力され、分周回路4の分周動作を停止させる。したがって分周回路4の動作が停止していることから、クロック信号は“Lo”レベルの信号のまま、ソースドライバ2やゲートドライバ3に供給されるので、タイミング信号CLKS・CLKS'・CLKGによるソースドライバ2やゲートドライバ3の動作も停止する。このとき、液晶表示素子1は点灯状態、即ち前段の走査終了時の画像表示状態で、次段の映像信号の走査開始まで保持されるようになっている。

【0048】また、クロック信号選択回路14では、入力される制御信号が“Lo”レベルのとき、出力を“Hi”レベルにしてクロック信号CLKをそのまま分周回路4に出力するようになっている。

【0049】つまり、図3に示すように、映像信号の水平ブランキング期間Bでは、制御信号は“Hi”レベルとなり、その期間中、クロック信号CLKは、“Lo”レベルとなる。一方、映像信号の水平映像信号出力期間Aでは、制御信号は“Lo”レベルとなり、その期間中、クロック信号CLKは、通常のパルス信号となる。尚、映像の垂直ブランキング期間においても、上記水平ブランキング期間と同様にクロック信号CLKは、“Lo”レベルとなり、分周回路4での分周動作を停止させるようになっている。

【0050】尚、上記クロック信号選択回路14には、論理回路としてNOR回路を使用しているが、これに限定されるものではなく、例えばAND回路を使用しても良い。この場合、クロック信号選択回路14からは、“Hi”レベルの信号が出力されて分周回路4の分周動作を停止させる。

【0051】以上のようにクロック信号選択回路14は、制御信号生成回路13から出力される2値の制御信号によって、入力されるクロック信号を上記制御信号に応じて変換して出力することで、分周回路4、ソースドライバ2およびゲートドライバ3の駆動を停止するようになっている。特に、消費電力が大きいソースドライバ2の駆動を停止することで、装置全体の消費電力を大幅に削減することができる。

【0052】したがって、少なくともソースドライバ2の駆動を停止させれば良いことになる。つまり、上記制御信号によるクロック信号の変換では、シフトレジスタ5を構成するインバータ(クロックトインバータ)を確実にON/OFFできる値であれば良く、例えば、シフトレジスタ5の電源電圧と同電位、即ち高電源電位あるいは低電源電位、また、上記電源電位よりずれていても差し支えない。

【0053】また、変換されたクロック信号が電源電位よりずれて変換された場合、特に上記シフトレジスタ5のインバータを構成するトランジスタがゲート電位 $V_g = 0$ でサブスレッシュ電流、或いはON電流が流れると

いう特性を有すれば、ドレイン電流 I_d が最小となるような、 $V_g = 0$ 、あるいは上記トランジスタの閾値電位分だけ電源電圧よりもシフトした電位にする方が望ましい。これは、インバータを構成するトランジスタが、ドレイン電流 I_d が最小となるときOFFするためである。

【0054】このように、クロック信号選択回路14が、制御信号生成回路13からの制御信号の入力によって、クロック信号(タイミング信号CLKS・CLKS')を、上記シフトレジスタ5のサンプリングスイッチ7の閾値電圧分だけ電源電圧よりシフトとした電位、あるいはシフトレジスタ5の高電位電源Vdd、低電位電源Vssと同電位となるように変換してシフトレジスタ5に出力することで、シフトレジスタ5を確実にON・OFFすることができる。

【0055】これにより、クロック信号によるシフト動作を確実に停止でき、この結果、不要なシフト動作による消費電力を無くすることができる。

【0056】また、本実施例では、クロック信号選択回路14として、NOR回路等の論理回路を使用しているが、これに限定されるものではなく、分周回路4、ソースドライバ2、およびゲートドライバ3のクロック信号による動作を停止させるものであれば良く、例えば図4に示すように、クロック信号線を開閉するクロック信号線開閉回路からなるクロック信号選択回路15を使用しても良い。

【0057】この場合、クロック信号選択回路15は、制御信号生成回路13からの2値信号によりクロック信号線を開閉し、クロック信号CLKを選択的に分周回路4に出力するようになっている。つまり、クロック信号選択回路15は、制御信号が“Lo”レベルのとき、即ち映像信号の水平映像信号期間を検知したとき、ON状態となり、制御信号が“Hi”レベルのとき、即ち映像信号の水平ブランキング期間を検知したとき、OFF状態となるようになっている。

【0058】また、上記クロック信号選択回路15のスイッチング回路としては、pチャネルMOS(Metal Oxide Semiconductor)-FET(以下、pMOS-FETと称する)と、nチャネルMOS-FET(以下、nMOS-FETと称する)とで構成されるCMOS(Complementary Metal Oxide Semiconductor)-ICからなるCMOS回路、或いは上記pMOS-FET、nMOS-FETの単体で構成されるMOS回路を使用しても良い。但し、CMOS回路を使用した方が単一のチャネルのMOS回路を使用した場合よりも、例えば消費電力が少なく、時定数が非常に小さい等の利点を有しているので、クロック信号選択回路15のスイッチング回路としてはCMOS回路を使用することが望ましい。

【0059】さらに、上記したクロック信号選択回路14・15は、何れも入力のクロック信号CLKと分周回

路4との間に配置され、分周回路4にクロック信号CLKを選択的に出力できるようになっているが、これに限定されるものではなく、例えば、分周回路4とソースドライバ2およびゲートドライバ3との間に配置しても良い。

【0060】この場合、ソースドライバ2およびゲートドライバ3に近接してクロック信号選択回路14あるいはクロック信号選択回路15が配置されるので、液晶表示素子1と各ドライバ2・3と共にモノリシック化を容易にすることができる。

【0061】上記の構成によれば、クロック信号選択回路14・15により、映像信号の垂直および水平ブランキング期間に同期して、ソースドライバ2等の駆動回路のクロック信号による動作が停止されるので、映像信号の垂直および水平ブランキング期間に、液晶表示素子1を点灯した状態で、クロック信号による不要な消費電力を低減することができる。

【0062】これにより、液晶表示装置における、ソースドライバ2等の駆動回路での消費電力の低減を図ることができるので、本実施例のように駆動回路での消費電力の大きい画像表示装置、特に画像表示素子と駆動回路とがモノリシックに形成された画像表示装置に好適に使用することができる。

【0063】また、上記クロック信号選択回路14・15により、ソースドライバ2の多相のシフトレジスタ5へ供給するクロック信号(タイミング信号CLKS・CLKS')を、位相の早い順に停止させるようになっているので、従来のように多相のシフトレジスタの最終段からの信号に基づいてクロック信号の出力を停止させる場合に比べて、駆動回路へのクロック信号の供給停止を無駄無く、しかも迅速に行うことができる。

【0064】これにより、さらに、不要なクロック信号に係る消費電力を低減することができるので、液晶表示装置における、駆動回路での消費電力の低減を図ることができる。

【0065】以上の説明では、ソースドライバ2およびゲートドライバ3の両ドライバに対してクロック信号、即ちタイミング信号CLKS・CLKGを停止するようにしているが、本実施例のように表示画素とドライバとをモノリシック化するものでは、駆動周波数が高いソースドライバ2のみのクロック信号を停止させても、本発明の目的、即ち駆動回路における消費電力の低減化は十分に達成することができる。

【0066】ここで、制御信号生成回路13について図5ないし図8に基づいて説明する。尚、本説明では、水平同期信号は“Lo”レベルとする。

【0067】制御信号生成回路13は、映像信号から水平及び垂直同期信号を検出する同期信号検出回路16(図5)と、同期信号検出回路16から出力された信号をブランキング信号の出力期間(ブランキング期間)に

対応するようにパルス幅を変換する信号変換回路17(図6)とで構成されている。

【0068】同期信号検出回路16は、図5に示すように、コレクタ接地されたpnpトランジスタ18を1個有している。このpnpトランジスタ18のエミッタ電極Eには、抵抗R1および直列接続された抵抗R2とキャパシタC1を介して並列に高電位電源Vddに接続されている。pnpトランジスタ18のベース電極Bには、抵抗R3を介して映像信号が入力される。pnpトランジスタ18のコレクタ電極Cには、抵抗R4を介してGND電源が接続されると共に、このコレクタ電極Cから出力される信号の極性を反転させるインバータ等からなる反転回路19に接続されている。

【0069】上記pnpトランジスタ18は、図7に示すように、ベース・エミッタ間の電圧VBEが、ベース・エミッタ間の逆バイアスVbeよりも低くなるとONされ、コレクタ電流Icが流れる。即ち、コレクタ電流Icは、図5に示す抵抗R2およびキャパシタC1を通りベース電極Bへ流れ込む。

【0070】したがって、抵抗R1および抵抗R4の抵抗値を調整することによって、映像信号の水平同期信号を含む水平ブランキング信号の電位が、図7に示すように、ベース・エミッタ間の逆バイアスVbeとなるように設定することで、映像信号の映像信号期間ではpnpトランジスタ18にはコレクタ電流Icが流れないようにしている。

【0071】この場合、入力される映像信号の映像信号期間から水平ブランキング期間に切り替わると、水平ブランキング期間の電位は映像信号期間の電位よりも低くなることで、水平ブランキング期間の水平同期信号の電位がベース・エミッタ間の逆バイアスVbeよりも低くなるので、pnpトランジスタ18にコレクタ電流Icが流れる。このコレクタ電流Icは、コレクタ電極Cから反転回路19に出力され、この反転回路19で極性が反転されて、検出信号SYSとして信号変換回路17

(図6)に出力される。この検出信号SYSは、図8に示すように、映像信号の水平同期信号に同期した波形のパルスとなっている。尚、垂直ブランキング期間に切り替わっても、上記検出信号SYSは、垂直同期信号に同期した波形のパルスとなる。

【0072】尚、上記同期信号検出回路16では、スイッチング回路として、コレクタ接地されたpnpトランジスタ18を用いているが、これに限定されるものではなく、トランジスタの種類及び接地の方法に制限なく、例えば、npnトランジスタを用いても良く、また、ベース接地、エミッタ接地の組み合わせかたを変えても良い。

【0073】ここで、図8に示すように、実際の映像信号のブランキング期間Bは、上記同期信号検出回路16で得られた検出信号SYSよりも長くなっているため、

検出信号SYSのパルス幅を映像信号のブランキング期間Bに相当する幅に変換する必要がある。この検出信号SYSのパルス幅の変換は、図6に示す信号変換回路17にて行われる。尚、本実施例では、信号変換回路17として、ワンショットマルチバイブレータ（単安定マルチバイブレータ）と論理ゲートとを組み合わせた回路について説明する。

【0074】信号変換回路17は、図6に示すように、検出信号SYSがそれぞれ入力される2つのワンショットマルチバイブレータ20・21と、論理ゲートである

OR回路22とで構成されている。
【0075】ワンショットマルチバイブレータ20は、入力端子から入力された検出信号SYS（入力信号D1）を処理して、出力端子から2値の出力信号Q1をインバータ23に出力するようになっている。インバータ23にて極性が反転された出力信号/Q1は、OR回路22に供給される。

【0076】即ち、ワンショットマルチバイブレータ20は、図8に示すように、入力信号D1の立ち上がりエッジを検出して、出力信号Q1の“Hi”レベルを発生するようになっている。

【0077】また、ワンショットマルチバイブレータ20は、図6に示すように、外部に設けられた可変抵抗器R5を介して高電位電源Vddに接続されると共に、キャパシタC2を介して可変抵抗器R5に接続されており、これら可変抵抗器R5およびキャパシタC2の組み合わせによって出力信号Q1の“Hi”レベル期間の長さを調節するようになっている。

【0078】これにより、本実施例では、可変抵抗器R5およびキャパシタC2を組み合わせることによって、出力信号Q1の“Hi”レベル期間の長さを、映像信号の出力終了までの期間（C2R5）となるように設定している。

【0079】また、ワンショットマルチバイブレータ21は、入力端子から入力された検出信号SYS（入力信号D2）を処理して、出力端子から2値の出力信号Q2をOR回路22に出力するようになっている。

【0080】即ち、ワンショットマルチバイブレータ21は、図8に示すように、入力信号D2の立ち下がりエッジを検出して、出力信号Q2の“Hi”レベルを発生するようになっている。

【0081】また、ワンショットマルチバイブレータ21は、図6に示すように、外部に設けられた可変抵抗器R6を介して高電位電源Vddに接続されると共に、キャパシタC3を介して可変抵抗器R6に接続されており、これら可変抵抗器R6およびキャパシタC3の組み合わせによって出力信号Q2の“Hi”レベル期間の長さを調節するようになっている。

【0082】これにより、本実施例では、可変抵抗器R6およびキャパシタC3を組み合わせることによって、

出力信号Q2の“Hi”レベル期間の長さを、映像信号の出力開始までの期間（C3R6）となるように設定している。

【0083】OR回路22は、インバータ23を介してワンショットマルチバイブレータ20から出力された出力信号/Q1と、ワンショットマルチバイブレータ21から出力された出力信号Q2とが入力され、出力信号/Q1と出力信号Q2との論理和をとることによって、図8に示すように、制御信号としての出力信号/Q1+Q2を出力するようになっている。出力信号/Q1+Q2は、“Hi”レベル期間の長さが映像信号の水平ブランキング期間Bに相当するようになっている。

【0084】尚、本実施例では、映像信号には、同期信号として、別々の波形を有する水平および垂直同期信号を採用しているが、例えば水平および垂直同期信号のみを混合したユニボジット同期信号を採用しても良い。この場合、ユニボジット同期信号のパルス幅とブランキング期間のパルス幅と同じとなるので、図5に示す同期信号検出回路16を設ける必要がなくなり、制御信号生成回路13の構成を簡略化できる。

【0085】また、本実施例では、同期信号検出回路16からの検出信号SYSのパルス幅を、ワンショットマルチバイブレータ21・22によって調節しているが、これに限定されるものではなく、例えば、クロックをカウントしてパルス幅を決定してもよい。この場合、パルス幅を、抵抗、コンデンサ容量の時定数で決めるよりも、正確に決定することができる。これにより、映像信号のブランキング期間と確実に同期した制御信号を抽出することができる。

【0086】さらに、本実施例では、映像信号のブランキング期間を検知して、ソースドライバ2・ゲートドライバ3に入力されるクロック信号の供給停止を行い、駆動回路における消費電力を低減するようになっているが、以下の実施例では、映像信号のブランキング期間を検知して、その検知信号（制御信号）により直接ソースドライバ2のバッファ回路11を停止させて、ソースドライバ2における消費電力を低減する画像表示装置について説明する。

【0087】〔実施例2〕本発明の他の実施例について図9および図10に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施例1と同一の機能を有する部材には同一の番号を付記し、その説明を省略する。

【0088】本実施例に係る画像表示装置は、図9に示すように、映像信号が入力されると共に、制御信号生成回路13から出力された制御信号が入力されるバッファ回路31を備えたソースドライバを有している。

【0089】バッファ回路31は、初段のNMOS線形回路32と、次段のPMOS線形回路33とで構成されている。

【0090】上記NMOS線形回路32は、高電位電源V_{dd}と低電位電源V_{ss}との間に直列に接続された2個のn-チャネルMOS (Metal Oxide Semiconductor) トランジスタ (以下、NMOSTランジスタと称する) Tr1・Tr2からなっており、NMOSTランジスタTr1のゲート電極には映像信号の入力端子V_{in}が接続され、上記両トランジスタの接続点には、次段のPMOS線形回路33の出力ノードV_oが接続されると共に、NMOSTランジスタTr2のゲート電極にはバッファ停止回路34が接続され、このバッファ停止回路34からNMOSTランジスタTr2をONさせるためのバイアス電圧V_{BN}が印加されるようになっている。

【0091】バッファ停止回路34は、バイアス電圧V_{BN}と低電位電源V_{ss}とが入力され、これらV_{BN}とV_{ss}とを選択的にNMOSTランジスタTr2のゲート電極に印加するようになっている。即ち、バッファ停止回路34は、“Lo”レベルの制御信号が入力されれば、V_{BN}をNMOSTランジスタTr2のゲート電極に印加し、“Hi”レベルの制御信号が入力されれば、低電位V_{ss}をNMOSTランジスタTr2のゲート電極に印加するようになっている。

【0092】また、上記PMOS線形回路33は、高電位電源V_{dd}と低電位電源V_{ss}との間に直列に接続された2個のp-チャネルMOSTランジスタ (以下、PMOSTランジスタと称する) Tr3・Tr4からなっており、PMOSTランジスタTr4のゲート電極には前段のNMOS線形回路32の出力ノードV_oが接続されると共に、PMOSTランジスタTr3のゲート電極にはバッファ停止回路35が接続され、このバッファ停止回路35からNMOSTランジスタTr2をONさせるためのバイアス電圧V_{BP}が印加されるようになっている。

【0093】バッファ停止回路35は、バイアス電圧V_{BP}と高電位電源V_{dd}とが入力され、これらV_{BP}とV_{dd}とを選択的にPMOSTランジスタTr3のゲート電極に印加するようになっている。即ち、バッファ停止回路35は、“Lo”レベルの制御信号が入力されれば、バイアス電圧V_{BP}をNMOSTランジスタTr3のゲート電極に印加し、“Hi”レベルの制御信号が入力されれば、高電位V_{dd}をNMOSTランジスタTr3のゲート電極に印加するようになっている。

【0094】また、上記PMOS線形回路32の両トランジスタの接続点には、バッファ回路31の出力端子V_{out}に接続され、PMOS線形回路32からの出力がソースバスライン12を介して液晶表示素子1に供給されるようになっている。

【0095】尚、上記NMOSTランジスタTr1・Tr2、PMOSTランジスタTr3・Tr4の素子特性はそれぞれ同一とする。

【0096】上記バイアス電圧V_{BN}は、バイアス用N

MOSTランジスタTr2の動作状態が飽和領域となるような電圧である。V_{bn}は、バイアス電圧V_{BN}が印加されているときのNMOSTランジスタTr2のゲート・ソース間の電位差である。また、上記バイアス電圧V_{BP}は、バイアス用PMOSTランジスタTr3のPMOSTランジスタTr3の動作状態が飽和領域となるような電圧である。V_{bp}は、バイアス電位V_{BP}が印加されているときのPMOSTランジスタTr3のゲート・ソース間の電位差である。

10 【0097】さらに、上記NMOSTランジスタTr2のV_{bn}は、NMOSTランジスタTr2の閾値電圧V_{thn}に、ある程度電流が流れるためのマージン電圧 α を加えたものである。つまり、 $V_{bn} = V_{thn} + \alpha$ であり、 $V_{BN} - V_{ss} = V_{thn} + \alpha$ である。

【0098】また、上記PMOSTランジスタTr3のV_{bp}は、PMOSTランジスタTr3の閾値電圧V_{thp}に、マージン電圧 α を引いたものである。つまり、 $V_{bp} = V_{thp} - \alpha$ であり、 $V_{BP} - V_{dd} = V_{thp} - \alpha$ である。

【0099】次に、上記バッファ回路31の動作について以下に説明する。まず、NMOS線形回路32において、NMOSTランジスタTr2には、バイアスV_{bn}が印加され、動作状態が飽和領域となる。

【0100】このとき、NMOSTランジスタTr2のソース・ドレイン間に流れる電流I_{sd2}は動作状態が飽和領域となることから、上記NMOSTランジスタTr1のソース・ドレイン間に流れる電流I_{sd1}は、NMOSTランジスタTr2に流れず、NMOSTランジスタTr1とNMOSTランジスタTr2との接続点から次段のPMOS線形回路33側に流れる。

【0101】ところが、各トランジスタTr1・Tr2の接続点から分岐した電流経路は、PMOS線形回路33のPMOSTランジスタTr4のゲート電極に接続されているので、電氣的にほぼ開放状態にある。このため、定常状態においてI_{ds1}は、 $I_{ds1} = I_{ds2}$ となる。

【0102】このように、NMOSTランジスタTr2に電流I_{ds2}を流すためのゲート・ソース間の電位差がV_{bn}であり、NMOSTランジスタTr1・Tr2のトランジスタ特性が同一であることから、NMOSTランジスタTr1のゲート・ソース間の電位差もV_{bn}となり、NMOS線形回路32における出力V_oは、 $V_o = V_{in} - V_{bn}$ となる。

【0103】また、次段のPMOS線形回路33においても、PMOSTランジスタTr3のゲート・ソース間に動作状態が飽和領域となるように電圧V_{bp}が印加されているために、前段のNMOS線形回路32とは信号の極性が異なるだけで同様の動作を行う。したがって、PMOS線形回路33の出力端子V_{out}における電位

17

V_{out} は、 $V_{out}=V_o-V_{bp}$ となり、さらに、 V_{in} との関係を見ると、 $V_{out}=V_{in}-V_{bn}-V_{bp}$ となる。

【0104】ここで、上記制御信号生成回路13から“Hi”レベルの制御信号がバッファ停止回路34に入力されると、NMOSトランジスタTr2のゲート電極には低電位 V_{ss} が印加される。この低電位 V_{ss} は、閾値電圧 V_{thn} よりも低い電圧であるので、NMOSトランジスタTr2のソース・ドレイン間には電流 I_{ds2} が流れなくなり、NMOS線形回路32の動作が停止する。

【0105】同様に、制御信号生成回路13から“Hi”レベルの制御信号がバッファ停止回路35に入力されると、PMOSTランジスタTr3のゲート電極には高電位電源 V_{dd} が印加され、PMOSTランジスタTr3のソース・ドレイン間には電流 I_{ds3} が流れなくなり、PMOS線形回路33の動作が停止する。

【0106】したがって、制御信号生成回路13から出力される制御信号によって、映像信号のブランキング期間、液晶表示素子1を駆動するソースドライバ2に備えられたバッファ回路31の駆動を停止することで、ソースドライバ2における無駄な電力の消費を無くすることができる。このとき、液晶表示素子1は点灯状態、即ち前段の走査終了時の画像表示状態で、次段の映像信号の走査開始まで保持されるようになっている。

【0107】ここで、上記バッファ回路31におけるバッファ停止回路34・35について図10を参照しながら以下に説明する。尚、何れのバッファ停止回路34・35においてもその構成は、基本的に同じであるので、本実施例では、PMOS線形回路33に備えられたバッファ停止回路35についての説明を行う。

【0108】上記バッファ停止回路35は、例えば図10(a)に示すように、NMOSTランジスタTr5・Tr6からなっている。

【0109】NMOSTランジスタTr5のソース電極には高電位電源 V_{dd} が接続され、ドレイン電極にはNMOSTランジスタTr6のドレイン電極が接続されると共に、NMOSTランジスタTr6のソース電極には映像信号端子 V_{in} に接続され、NMOSTランジスタTr6のゲート電極にはインバータ36の出力端子が接続されている。

【0110】そして、NMOSTランジスタTr5のゲート電極およびインバータ36の入力端子には、制御信号生成回路13からの制御信号が入力されるようになっている。また、NMOSTランジスタTr5・Tr6の接続点は、PMOS線形回路33のPMOSTランジスタTr3のゲート電極に接続されている。

【0111】したがって、各Tr5・Tr6に入力される制御信号が“Lo”レベルであれば、NMOSTランジスタTr5は非導通状態となり、NMOSTランジ

18

スタTr6が導通状態となる。これによって、NMOSTランジスタTr6を介して V_{in} がバイアス電圧 V_{BP} としてPMOSTランジスタTr3のゲート電極に入力され、バッファ回路31が動作する。

【0112】一方、各Tr5・Tr6に入力される制御信号が“Hi”レベルであれば、NMOSTランジスタTr6は非導通状態となり、NMOSTランジスタTr5が導通状態となる。これによって、NMOSTランジスタTr5を介して高電位電源 V_{dd} からの電圧 V_{dd} がPMOSTランジスタTr3のゲート電極に入力され、バッファ回路31の動作が停止する。

【0113】また、バッファ停止回路35の他の回路としては、図10(b)に示すように、PMOSTランジスタTr7・Tr8からなっている。

【0114】PMOSTランジスタTr7のソース電極には高電位電源 V_{dd} が接続され、ドレイン電極にはPMOSTランジスタTr8のドレイン電極が接続されると共に、PMOSTランジスタTr8のソース電極には映像入力端子 V_{in} が接続され、PMOSTランジスタTr7のゲート電極にはインバータ37の出力端子が接続されている。

【0115】そして、PMOSTランジスタTr8のゲート電極およびインバータ37の入力端子には、制御信号生成回路13からの制御信号が入力されるようになっている。また、PMOSTランジスタTr7・Tr8の接続点は、PMOS線形回路33のPMOSTランジスタTr3のゲート電極に接続されている。

【0116】したがって、各Tr7・Tr8に入力される制御信号が“Lo”レベルであれば、PMOSTランジスタTr7は非導通状態となり、PMOSTランジスタTr8が導通状態となる。これによって、PMOSTランジスタTr8を介して V_{in} がバイアス電圧 V_{BP} としてPMOSTランジスタTr3のゲート電極に入力され、バッファ回路31が動作する。

【0117】一方、各Tr7・Tr8に入力される制御信号が“Hi”レベルであれば、PMOSTランジスタTr8は非導通状態となり、PMOSTランジスタTr7が導通状態となる。これによって、PMOSTランジスタTr7を介して高電位 V_{dd} がPMOSTランジスタTr3のゲート電極に入力され、バッファ回路31の動作が停止する。

【0118】また、バッファ停止回路35のさらに他の回路としては、図10(c)に示すように、NMOSTランジスタTr9およびPMOSTランジスタTr10からなっている。

【0119】NMOSTランジスタTr9のソース電極には高電位電源 V_{dd} が接続され、ドレイン電極にはPMOSTランジスタTr10のドレイン電極が接続されると共に、PMOSTランジスタTr10のソース電極には映像入力端子 V_{in} が接続されている。

10

20

30

40

50

【0120】そして、NMOSトランジスタTr9およびPMOSトランジスタTr10のゲート電極には、制御信号生成回路13からの制御信号が入力されるようになっている。また、PMOSトランジスタTr7・Tr8の接続点は、PMOS線形回路33のPMOSトランジスタTr3のゲート電極に接続されている。

【0121】この場合、各Tr9・Tr10が互いに極性が異なっているので、制御信号を反転させる必要がない。このため、上記した図10(a)(b)に示すようなインバータ36・37を設ける必要がないので、回路を簡素なものとする事ができる。

【0122】したがって、各Tr9・Tr10に入力される制御信号が“Lo”レベルであれば、NMOSトランジスタTr9は非導通状態となり、PMOSトランジスタTr10が導通状態となる。これによって、PMOSトランジスタTr10を介してVinがバイアス電圧VBPとしてPMOSトランジスタTr3のゲート電極に入力され、バッファ回路31が動作する。

【0123】一方、各Tr9・Tr10に入力される制御信号が“Hi”レベルであれば、PMOSトランジスタTr10は非導通状態となり、NMOSトランジスタTr9が導通状態となる。これによって、PMOSトランジスタTr9を介して高電位VddがPMOSトランジスタTr3のゲート電極に入力され、バッファ回路31の動作が停止する。

【0124】さらに、上記の図10の(a)~(c)に示したバッファ停止回路35の他に、図10(d)に示すように、NMOSトランジスタTr11・Tr12とPMOSトランジスタTr13・Tr14とを並列に接続した回路も考えられる。このときの動作原理は、上記図10(c)で示したものと同一である。

【0125】以上、バッファ停止回路35の回路例として、4つの回路を示したが、これらはほんの一例であり、NMOSトランジスタ、PMOSトランジスタおよびインバータの組み合わせを変えることにより、他の構成の回路を使用しても良い。

【0126】尚、本実施例では、バッファ停止回路34の回路例について述べなかったが、上記したバッファ停止回路35と同様な方法によって実現することができる。

【0127】また、バッファ回路31は、上記構成のみならず、例えば所謂演算増幅器(OPアンプ)で構成されたものでも良い。

【0128】以上のように、本発明では、上記実施例1のように、制御信号生成回路13からの制御信号によって上記ソースドライバ2・ゲートドライバ3のクロック信号(タイミング信号CLKS・CLKS'・CLK・G)による動作を停止させるか、または、上記実施例2のように、制御信号生成回路13からの制御信号によって、ソースドライバ2内のバッファ回路11のバッファ

動作を停止させることによって、映像信号の垂直および水平ブランキング期間に、液晶表示素子1を点灯した状態で、クロック信号による不要な消費電力を低減するようになっている。

【0129】これにより、液晶表示装置における、ソースドライバ2等の駆動回路での消費電力の低減を図ることができるので、駆動回路での消費電力の大きい画像表示装置、特に画像表示素子と駆動回路とがモノリシックに形成された画像表示装置に好適に使用することができる。

【0130】また、本発明では、低消費電力を図るためになされた、例えば特開昭60-35789号公報に開示されているように、液晶の非点灯・点灯を切り替えることなく、液晶表示素子1を点灯した状態で不要なクロック信号に係る消費電力を低減することができる。これにより、液晶表示素子1の非点灯・点灯の繰り返しによるフリッカーを招くことがないので、表示品位の向上を図ることができる。

【0131】さらに、低消費電力を図るためになされた、他の従来例として特開昭62-143095公報には、アナログバッファを所定期間、活性化させ、他の期間は非活性にする方法が開示されている。

【0132】ところが、上記実施例2では、映像信号のブランキング期間を検知することで、このブランキング期間に同期してバッファを停止させることで、映像信号だけを無駄なく液晶表示素子1に供給することができるので、上記特開昭62-143095公報のように、映像信号とは無関係にアナログバッファを所定期間停止させた場合に比べて、液晶表示素子1に対して映像信号を安定して供給することができる。

【0133】尚、上記各実施例の液晶表示装置では、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等を図るため、上記液晶表示素子1と駆動回路としてのソースドライバ2およびゲートドライバ3とが、多結晶シリコン薄膜上にモノリシックに形成されたものとなっているが、これに限定されるものではなく、液晶表示素子1とソースドライバ2およびゲートドライバ3とが別々に形成されていても十分に消費電力の低減を図ることができる。

【0134】

【発明の効果】請求項1の発明の画像表示装置は、以上のように、マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって上記画像表示素子に接続されたデータ信号線を駆動する駆動回路とがモノリシックに形成された画像表示装置において、映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、上記制御信号出力手段からの制御信号の入力によって、上記駆動回路に供給するクロック信号を停止させるクロック停止

手段とが設けられている構成である。

【0135】これにより、垂直および水平ブランキング期間に、画像表示素子を点灯した状態で、不要なクロック信号に係る消費電力を低減することができる。

【0136】したがって、画像表示素子と駆動回路とがモノリシックに形成された画像表示装置における、駆動回路での消費電力を大幅に削減することができるという効果を奏する。

【0137】請求項2の発明の画像表示装置は、以上のように、駆動回路は、クロック信号の入力によって、映像信号から得られるデータ信号を画像表示素子に接続されたデータ信号線に供給する多相のシフトレジスタを備えると共に、上記クロック停止手段は、上記駆動回路の各シフトレジスタへ供給するクロック信号を、位相の早い順に停止させる構成である。

【0138】これにより、多相のシフトレジスタの最終段からの信号に基づいてクロック信号の出力を停止させる場合に比べて、駆動回路へのクロック信号の供給停止を無駄無く、しかも迅速に行うことができる。

【0139】したがって、さらに、クロック信号による不要な消費電力を低減することができるので、画像表示装置における、駆動回路での消費電力を大幅に削減することができるという効果を奏する。

【0140】請求項3の発明の画像表示装置は、以上のように、クロック停止手段は、上記制御信号の入力によってクロック信号を、上記シフトレジスタの電源電圧と同電位、あるいはシフトレジスタを構成するトランジスタの閾値電圧分だけ上記電源電圧から変位した電位に変換する構成である。

【0141】これにより、シフトレジスタを確実にON・OFFすることができるので、クロック信号によるシフト動作を確実に停止でき、この結果、不要なシフト動作による消費電力を無くすことができるという効果を奏する。

【0142】請求項4の発明の画像表示装置は、以上のように、マトリクス状に配された表示画素を有する画像表示素子と、同期信号を含んだ映像信号が入力されると共に、クロック信号の入力のタイミングによって画像表示素子に接続されたデータ信号線をアナログバッファ回路を介して駆動する駆動回路とがモノリシックに形成された画像表示装置において、映像信号の垂直および水平ブランキング期間に同期して制御信号を出力する制御信号出力手段と、上記制御信号出力手段からの制御信号の入力によって、上記アナログバッファ回路のバッファ動作を停止させるバッファ停止手段とが設けられている構成である。

【0143】これにより、垂直および水平ブランキング期間に、画像表示素子を点灯した状態で、クロック信号

による不要な消費電力を低減することができる。

【0144】したがって、画像表示装置における、駆動回路での消費電力を大幅に削減することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る画像表示装置の概略構成ブロック図である。

【図2】図1に示す画像表示装置に備えられたソースドライバの概略構成ブロック図である。

10 【図3】図1に示す画像表示装置のタイミングチャートである。

【図4】本発明の他の実施例に係る画像表示装置の概略構成ブロック図である。

【図5】本発明のさらに他の実施例に係る画像表示装置に備えられた制御信号生成回路の同期信号検出回路を示すブロック図である。

【図6】上記制御信号生成回路の信号変換回路を示すブロック図である。

20 【図7】図5に示す同期信号検出回路に備えられたトランジスタのコレクタ電流とベース・エミッタ間の電圧との関係を示すグラフである。

【図8】図6に示す信号変換回路でのタイミングチャートである。

【図9】本発明のさらに他の実施例に係る画像表示装置のソースドライバの概略構成ブロック図である。

【図10】図9に示すソースドライバに備えられたバッファ停止回路を示す回路図である。

【図11】従来の画像表示装置の概略構成ブロック図である。

30 【図12】図11に示す画像表示装置に備えられたソースドライバのバッファ回路のブロック図である。

【図13】図11に示す画像表示装置に備えられたソースドライバの概略構成ブロック図である。

【符号の説明】

1 液晶表示素子（画像表示素子）

2 ソースドライバ（駆動回路）

3 ゲートドライバ（駆動回路）

5 シフトレジスタ

11 バッファ回路（アナログバッファ回路）

40 13 制御信号生成回路（制御信号出力手段）

14 クロック信号選択回路（クロック停止手段）

15 クロック信号選択回路（クロック停止手段）

31 バッファ回路（アナログバッファ回路）

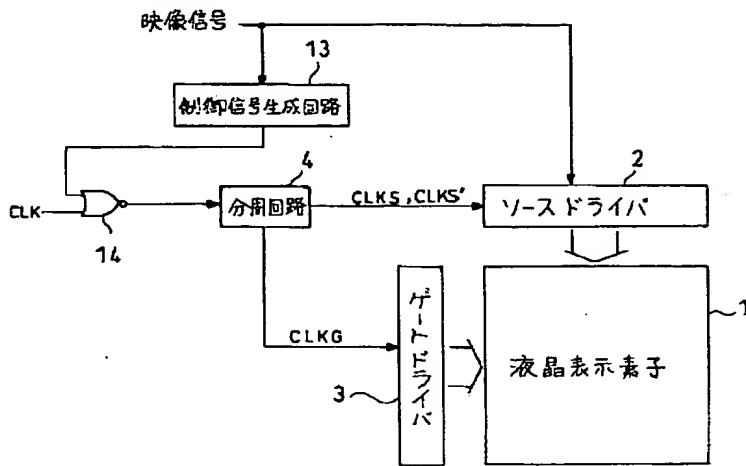
34 バッファ停止回路（バッファ停止手段）

35 バッファ停止回路（バッファ停止手段）

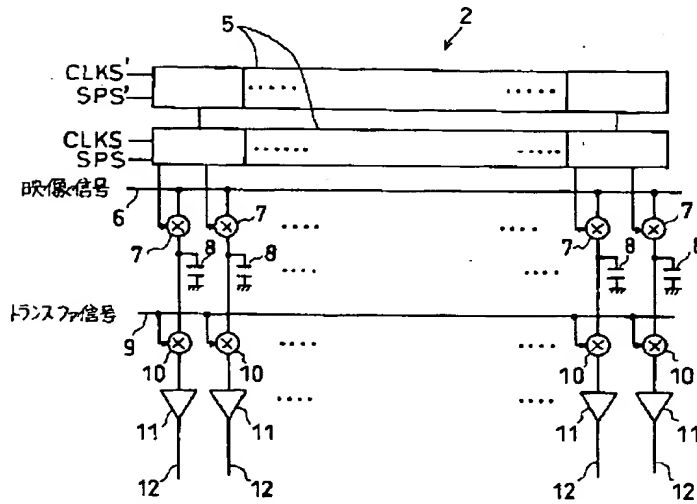
A 水平映像信号期間

B 水平ブランキング期間

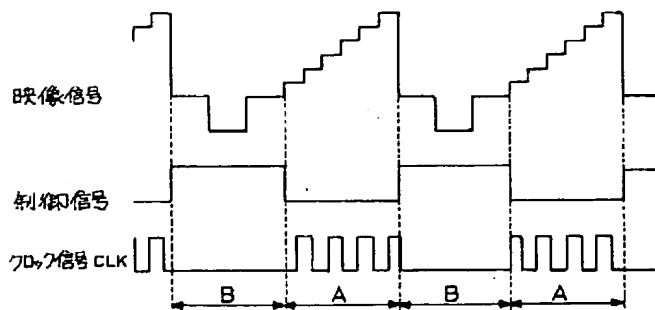
【図1】



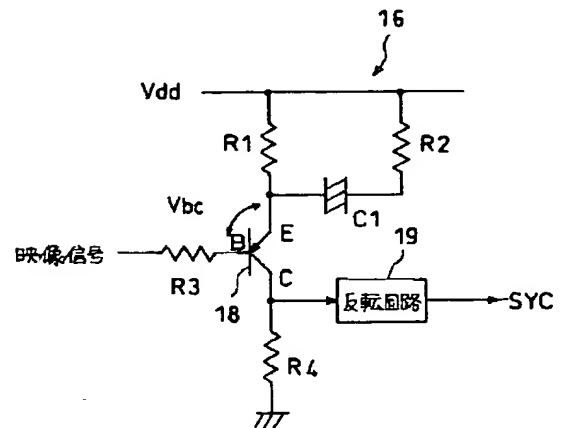
【図2】



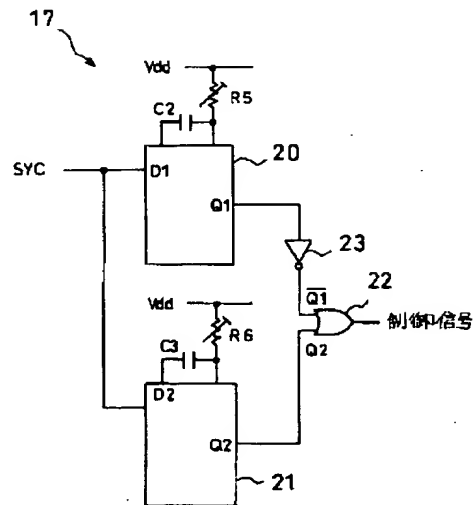
【図3】



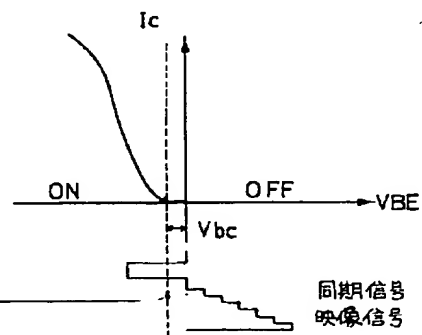
【図5】



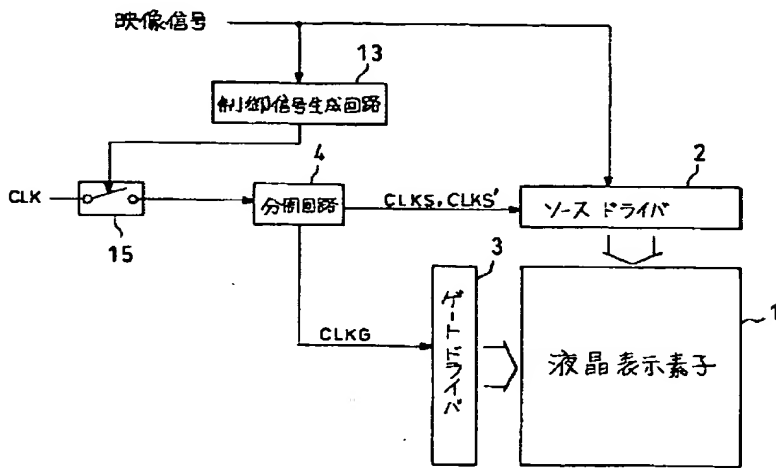
【図6】



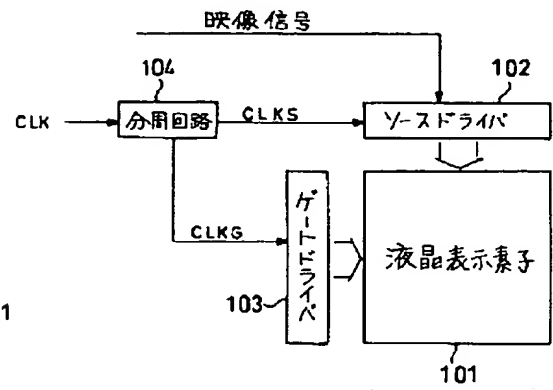
【図7】



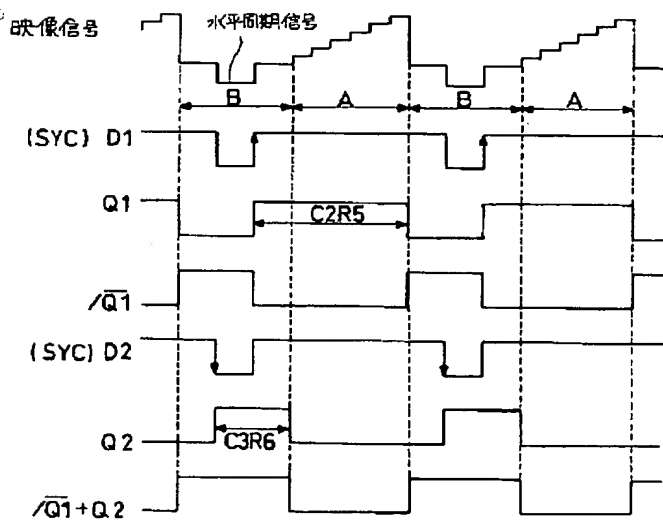
【図 4】



【図 11】



【図 8】



【図 12】

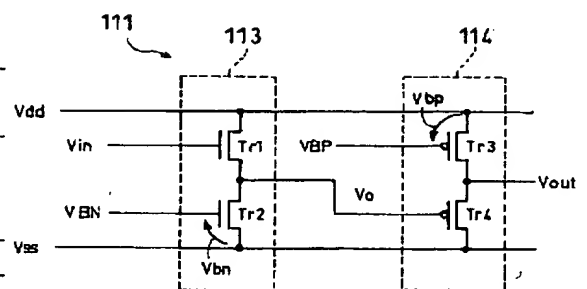
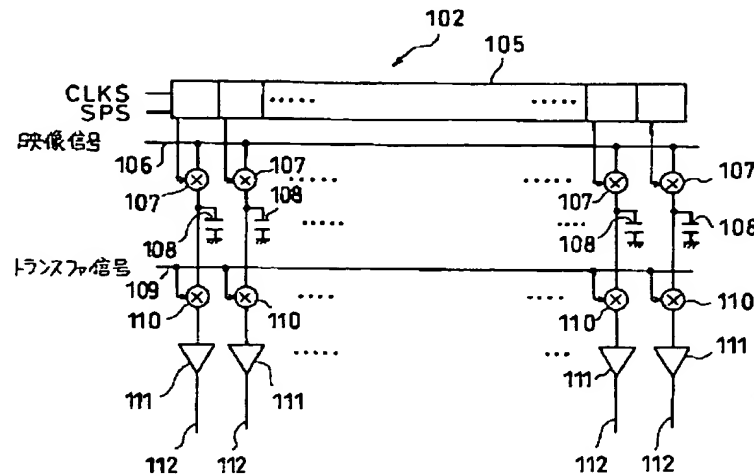


Figure 1 consists of four circuit diagrams labeled (a), (b), (c), and (d), each showing a different transistor configuration for a 3T1C1 structure. The diagrams are as follows:

- (a)** A PMOS transistor (Tr5) with gate connected to a control signal and source to Vdd, and an NMOS transistor (Tr6) with gate connected to a control signal (via inverter 36) and source to Vin. The drains of Tr5 and Tr6 are connected to the gate of a central transistor (Tr3), which has its source connected to Vin.
- (b)** A PMOS transistor (Tr7) with gate connected to a control signal (via inverter 37) and source to Vdd, and an NMOS transistor (Tr8) with gate connected to a control signal and source to Vin. The drains of Tr7 and Tr8 are connected to the gate of a central transistor (Tr3), which has its source connected to Vin.
- (c)** A PMOS transistor (Tr9) with gate connected to a control signal and source to Vdd, and an NMOS transistor (Tr10) with gate connected to a control signal and source to Vin. The drains of Tr9 and Tr10 are connected to the gate of a central transistor (Tr3), which has its source connected to Vin.
- (d)** A PMOS transistor (Tr11) with gate connected to a control signal and source to Vdd, and an NMOS transistor (Tr14) with gate connected to a control signal and source to Vin. The drains of Tr11 and Tr14 are connected to the gate of a central transistor (Tr3), which has its source connected to Vin. Additionally, the gates of Tr11 and Tr14 are connected to Vin.

【図 1 3】



【手続補正書】

【提出日】平成 7 年 7 月 5 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】即ち、制御信号生成回路 13 は、映像信号が入力され、この入力された映像信号に含まれる期間、例えば図 3 に示すように、映像情報を含む水平映像信号期間 A と、映像信号の同期を図のための水平同期信号を含む水平ブランキング期間 B とを検知して制御信号をクロック信号選択回路 14 に出力するようになっている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】したがって、少なくともソースドライバ 2 の駆動を停止させれば良いことになる。つまり、上記制御信号によるクロック信号の変換では、シフトレジスタ 5 を構成するインバータ（クロックトインバータ）を確実に ON/OFF できる値であれば良く、例えば、シフトレジスタ 5 の電源電圧と同電位、即ち高電源電位あるいは低電源電位、また、上記電源電位よりずれていても差し支えない。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】このように、クロック信号選択回路 14 が、制御信号生成回路 13 からの制御信号の入力によって、クロック信号（タイミング信号 CLK・CLK S'）を、上記シフトレジスタ 5 のサンプリングスイッチ 7 の閾値電圧分だけ電源電圧よりシフトした電位、あるいはシフトレジスタ 5 の高電位電源 V_{dd}、低電位電源 V_{ss} と同電位となるように変換してシフトレジスタ 5 に出力することで、シフトレジスタ 5 を確実に ON・OFF することができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】この場合、入力される映像信号の映像信号期間から水平ブランキング期間に切り替わると、水平ブランキング期間の電位は映像信号期間の電位よりも低くなることで、水平ブランキング期間の水平同期信号の電位がベース・エミッタ間の逆バイアス V_{be} よりも低くなるので、pnp トランジスタ 18 にコレクタ電流 I_c が流れる。このコレクタ電流 I_c は、コレクタ電極 c から反転回路 19 に出力され、この反転回路 19 で極性が反転されて、検出信号 SYC として信号変換回路 17

（図 6）に出力される。この検出信号 SYC は、図 8 に示すように、映像信号の水平同期信号に同期した波形のパルスとなっている。尚、垂直ブランキング期間に切り替わっても、上記検出信号 SYC は、垂直同期信号に同期した波形のパルスとなる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】ここで、図8に示すように、実際の映像信号のブランキング期間Bは、上記同期信号検出回路16で得られた検出信号SYCよりも長くなっているため、検出信号SYCのパルス幅を映像信号のブランキング期間Bに相当する幅に変換する必要がある。この検出信号SYCのパルス幅の変換は、図6に示す信号変換回路17にて行われる。尚、本実施例では、信号変換回路17として、ワンショットマルチバイブレータ（単安定マルチバイブレータ）と論理ゲートとを組み合わせた回路について説明する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】信号変換回路17は、図6に示すように、検出信号SYCがそれぞれ入力される2つのワンショットマルチバイブレータ20・21と、論理ゲートであるOR回路22とで構成されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正内容】

【0075】ワンショットマルチバイブレータ20は、入力端子から入力された検出信号SYC（入力信号D1）を処理して、出力端子から2値の出力信号Q1をインバータ23に出力するようになっている。インバータ23にて極性が反転された出力信号/Q1は、OR回路22に供給される。/Q1は、図6中のバーQ1と同じとする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正内容】

【0079】また、ワンショットマルチバイブレータ21は、入力端子から入力された検出信号SYC（入力信号D2）を処理して、出力端子から2値の出力信号Q2をOR回路22に出力するようになっている。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正内容】

【0083】OR回路22は、インバータ23を介してワンショットマルチバイブレータ20から出力された出力信号/Q1と、ワンショットマルチバイブレータ21から出力された出力信号Q2とが入力され、出力信号/Q1と出力信号Q2との論理和をとることによって、図8に示すように、制御信号としての出力信号/Q1+Q2を出力するようになっている。出力信号/Q1+Q2は、“Hi”レベル期間の長さが映像信号の水平ブランキング期間Bに相当するようになっている。/Q1は、図8中のバーQ1と同じとする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正内容】

【0085】また、本実施例では、同期信号検出回路16からの検出信号SYCのパルス幅を、ワンショットマルチバイブレータ21・22によって調節しているが、これに限定されるものではなく、例えば、クロックをカウントしてパルス幅を決定してもよい。この場合、パルス幅を、抵抗、コンデンサ容量の時定数で決めるよりも、正確に決定することができる。これにより、映像信号のブランキング期間と確実に同期した制御信号を抽出することができる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正内容】

【0092】また、上記PMOS線形回路33は、高電位電源Vddと低電位電源Vssとの間に直列に接続された2個のp-チャネルMOSトランジスタ（以下、PMOSトランジスタと称する）Tr3・Tr4からなっており、PMOSトランジスタTr4のゲート電極には前段のNMOS線形回路32の出力ノードVoが接続されると共に、PMOSトランジスタTr3のゲート電極にはバッファ停止回路35が接続され、このバッファ停止回路35からPMOSトランジスタTr3をONさせるためのバイアス電圧VBPが印加されるようになっている。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正内容】

【0093】バッファ停止回路35は、バイアス電圧VBPと高電位電源Vddとが入力され、これらVBPとVddとを選択的にPMOSトランジスタTr3のゲート電極に印加するようになっている。即ち、バッファ停止回路35は、“Lo”レベルの制御信号が入力され

ば、バイアス電圧VBPをPMOSTランジスタTr3のゲート電極に印加し、“Hi”レベルの制御信号が入力されれば、高電位VddをPMOSTランジスタTr3のゲート電極に印加するようになっている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正内容】

【0094】また、上記PMOS線形回路33の両トランジスタの接続点には、バッファ回路31の出力端子Voutに接続され、PMOS線形回路33からの出力がソースバスライン12を介して液晶表示素子1に供給されるようになっている。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正内容】

【0096】上記バイアス電圧VBNは、バイアス用NMOSTランジスタTr2の動作状態が飽和領域となるような電圧である。Vbnは、バイアス電圧VBNが印加されているときのNMOSTランジスタTr2のゲ

ト・ソース間の電位差である。また、上記バイアス電圧VBPは、バイアス用PMOSTランジスタTr3の動作状態が飽和領域となるような電圧である。Vbpは、バイアス電位VBPが印加されているときのPMOSTランジスタTr3のゲート・ソース間の電位差である。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0120

【補正方法】変更

【補正内容】

【0120】そして、NMOSTランジスタTr9およびPMOSTランジスタTr10のゲート電極には、制御信号生成回路13からの制御信号が入力されるようになっている。また、両トランジスタTr9・Tr10の接続点は、PMOS線形回路33のPMOSTランジスタTr3のゲート電極に接続されている。

【手続補正16】

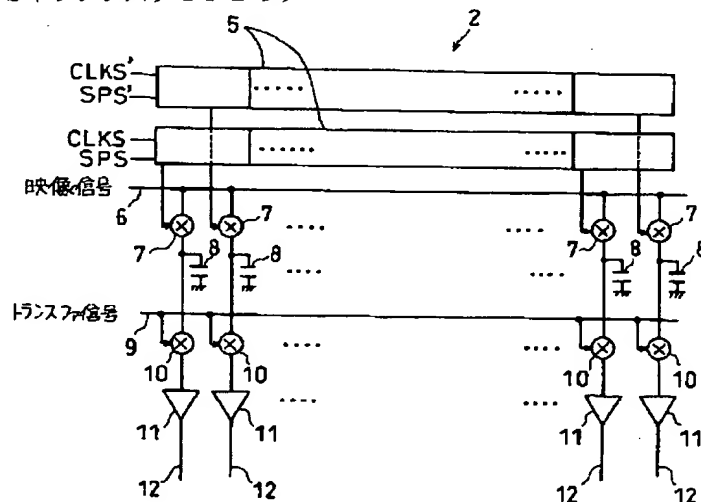
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正17】

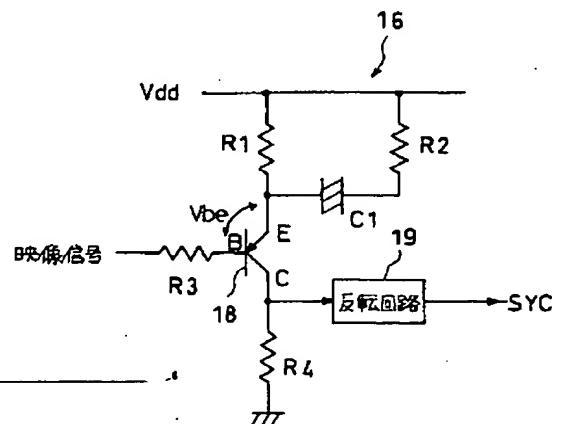
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



【手続補正 18】

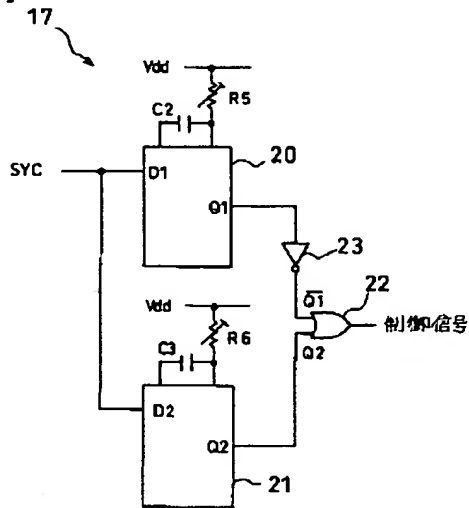
【補正対象書類名】図面

【補正対象項目名】図 6

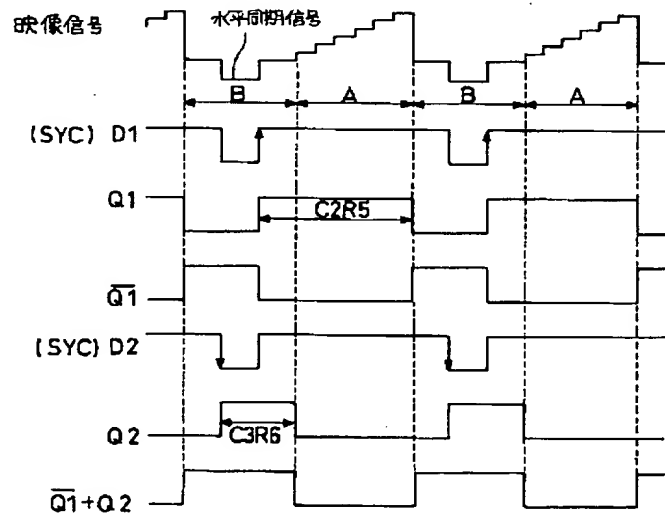
【補正方法】変更

【補正内容】

【図 6】



【手続補正 19】



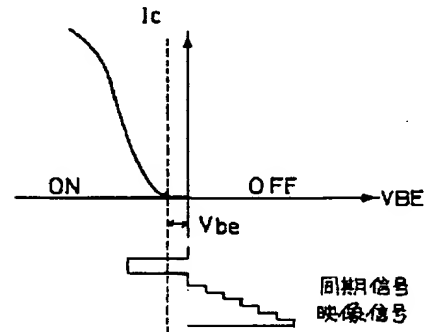
【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正内容】

【図 7】



【手続補正 20】

【補正対象書類名】図面

【補正対象項目名】図 8

【補正方法】変更

【補正内容】

【図 8】

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.